ATM 網におけるレート型輻輳制御方式の安定性に関する検討

大崎 博之　村田 正幸　宮原 秀夫

大阪大学大学院 基礎工学研究科 情報数理系専攻
〒 560-8531 大阪府豊中市待兼山町 1-3

(Phone) +81-6-850-6588
(Fax) +81-6-850-6589
(E-mail) oosaki@ics.es.osaka-u.ac.jp

あらまし　レート型輻輳制御方式は、データ通信等に用いられる ABR (Available Bit Rate) サービスクラスに適用される、閉ループ型の輻輳制御方式である。レート制御方式では、網内における輻輳の発生の有無に応じて、送信側端末のセル送出レートを動的に変更する。本稿では、まず、RIF や RDF などの制御パラメータや、スイッチのバッファサイズ、各コネクションの伝播遅延時間によって、レート制御方式の性能がどのように低下するかをシミュレーション手法によって明らかにする。さらに、あるパラメータ条件下では、送信側端末のレートがいつまでも安定せず、レート制御方式の動作が不安定になることを示す。最後に、このようなバイナリスイッチを用いたレート制御方式の問題点を改善する方式を提案し、その有効性について検証する。
和文キーワード　レート制御方式、バイナリスイッチ、シミュレーション、安定性

Studies on Stability of Rate-Based Congestion Control Algorithm for ABR Service Class in ATM Networks

Hiroyuki Ohsaki　Masayuki Murata　Hideo Miyahara

Department of Informatics and Mathematical Science
Graduate School of Engineering Science, Osaka University
1-3 Machikaneyama, Toyonaka, Osaka 560-8531, Japan

(Phone) +81-6-850-6588
(Fax) +81-6-850-6589
(E-mail) oosaki@ics.es.osaka-u.ac.jp

Abstract　A rate-based congestion control algorithm is a closed-loop congestion control method for ABR (Available Bit Rate) service class, which is for data communications. The rate-based control dynamically regulates cell emission rate of source end systems according to feedback information from the network. Thus, effectiveness of the rate-based control highly depends on a choice of control parameters and network parameters. In this paper, we focus on the effect of rate-increase/decrease parameters, buffer size at ATM switches, propagation delay of each connection to show how the performance is degraded due to these parameters. Moreover, we demonstrate that some combinations of parameters lead to instability of the rate-based congestion control algorithm. Finally, we propose an improved rate-based control algorithm to limit performance degradation and to avoid instability.
英文 **key words**　Rate-Based Congestion Control Algorithm, Binary-Mode Switch, Simulation, Stability

1 はじめに

レート制御方式は、データ転送系のサービスクラスである ABR (Available Bit Rate) サービスクラスに適用される閉ループ型の輻輳制御方式である [1, 2]。レート制御方式は、網からのフィードバック情報に基づいて、送信側端末のセル送出レートを動的に変更することによって、網内の輻輳を解消するとともに網資源の有効利用を図る。ATM フォーラムにおいてレート制御方式の標準化が行われ、送信側端末および受信側端末の動作、および中間の ATM スイッチから送信側端末への輻輳通知方法が詳細に規定された [1, 3, 4]。送信側端末は Nrm 個 (通常は 32 個) のデータセルを送出するごとに、帯域管理用の RM (Resource Management) セルを送出する。RM セルを受信した受信側端末は、RM セルを送信側端末に逆方向に送り返す。中間の ATM スイッチは、順方向に流れるデータセル中の EFCI (Explicit Forward Congestion Indication) ビット、もしくは順方向および逆方向に流れる RM セル中の CI (Congestion Indication) ビットや 16 ビットの ER (Explicit Rate) フィールドを用いて、送信側端末に輻輳を通知する。送信側端末は、受信した RM セル に書かれている輻輳情報に従って、許容セルレート ACR (Allowed CellRate) を動的に変更する (図 1) 。受信した RM セルの CI ビットが 0 の時は、網内に輻輳が発生していないことを意味し、送信側端末は ACR を PCR (Peak CellRate) × RIF (Rate Increase Factor) だけ増加させる。一方、RM セルの CI ビットが 1 の場合には、網内に輻輳が発生していることを意味し、送信側端末は ACR を ACR × RDF (Rate Decrease Factor) だけ 減少させる。さらに、ACR が ER フィールドの値よりも大きい場合には ACR を ER まで 減少させる。

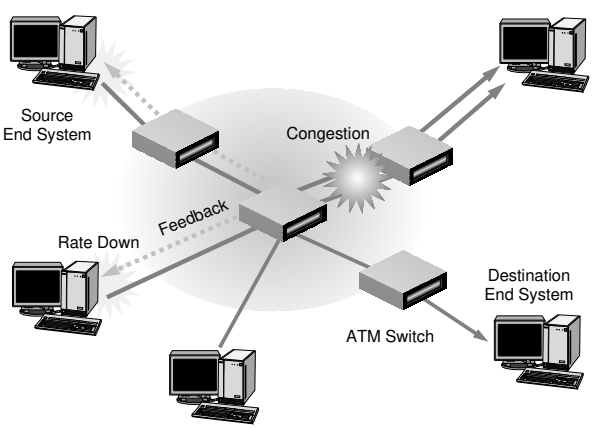


図 1: レート制御方式

ATM スイッチから送信側端末への輻輳通知方法については標準化が行われているが、ATM スイッチが EFCI ビットや CI ビットをどのようなタイミングで設定するか、また ER フィールドをどのように設定するかといったアルゴリズムについては実装者の自由に任されている。このため、レート制御方式の性能は、中間の ATM スイッチのアルゴリズムに大きく依存する。送信側端末への輻輳通知に EFCI ビットや CI ビットを用いる ATM スイッチは、1 ビットの情報だけを用いることから「バイナリスイッチ」と呼ばれており、一方、ER フィールドを用いる ATM スイッチは「ER スイッチ」と呼ばれている。実装が比較的容易なバイナリスイッチは、伝播遅延時間が小さい LAN のような環境下では良好な性能を示す [5, 6]。一方、ER スイッチは実装が複雑になるが、送信側端末のセル送出レートを明示的に指定することができるため、よりきめの細かい制御が可能であり、伝播遅延時間の大きな WAN のような環境下でも高性能を示す可能性を持つ [7, 8]。

これまでレート制御方式に関してはさまざまな研究が行われてきた。特に、既存の ATM スイッチの大部分は、輻輳通知に EFCI ビットを用いるバイナリスイッチであるため、バイナリスイッチを用いたレート制御方式の性能評価が多数行われてきた。バイナリスイッチを使用した場合、レート制御方式の性能は RIF や RDF といった制御パラメータの設定に大きく依存する [6]。これらの制御パラメータが適切に設定されなければ、伝搬遅延時間の小さな LAN であっても十分な性能が得られない。我々のこれまでの研究で、最適な RIF や RDF の値は、アクティブなコネクション数、伝播遅延時間、スイッチのバッファサイズに依存することがわかっている [6]。しかし、RIF や RDF といった制御パラメータは呼設定時に設定されるため、アクティブなコネクション数や伝播遅延時間の変動によって、制御パラメータが不適切な値をとることが避けられず、レート制御方式の性能が低下してしまうことが考えられる。

また、バイナリスイッチは、1 ビットの情報だけを用いて送信側端末のレートを制御するため、フィードバック遅延のためにレートが一定の値に安定せず、定常状態においてもレートが周期的に振動する。しかし、[9] では、フィードバック型の輻輳制御方式において、ある特定の条件下では、送信側端末のレートがいつまでも安定せず、動作が不安定となることが解析的に示されている。しかし、ここで採用されているモデルは、レート制御方式とは大きく異なっており、レート制御方式でこのような現象が発生するかは知られていない。レート制御方式の動作が不安定になると、コネクション間の公平性が保てない、送信側端末から受信側端末へのセル遅延時間にばらつきが生じ、QoS の予測が困難になるといった不具合が発生すると考えられる。

そこで本稿では、まず、どのような場合にバイナリスイッチを用いたレート制御方式の性能が劣化するかを、シミュレーション手法を用いて明らかにする。すなわち、RIF や RDF といった制御パラメータや、ATM スイッチのバッファサイズ、各コネクションの伝播遅延時間が変化するにつれて、レート制御方式の性能がどのように低下するかを明らかにする。次に、あるパラメータ条件下では、送信側端末のレートがいつまでも安定せず、レート制御方式の動作が不安定になることを示す。さらに、

このようなバイナリスイッチを用いたレート制御方式の問題点を改善する方式を提案し、その有効性について検証する。

以下、2 章において、本稿で用いるシミュレーションモデル、および性能指標について説明する。次に、3 章において、バイナリスイッチを用いたレート制御方式が、どのような場合にその性能が低下するか、どのような場合にその動作が不安定になるかを明らかにする。さらに、4 章では、レート制御方式の性能を改善する方式を提案し、その有効性について検証する。最後に、5 章において、本稿のまとめと今後の課題について述べる。

2 シミュレーションモデル

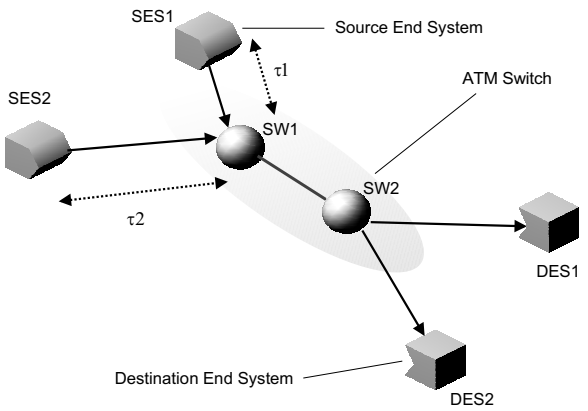


図 2: シミュレーションモデル

図 2 に、本稿で用いるシミュレーションモデルを示す。送信側端末–スイッチ間の距離の違いによって、レート制御方式の性能やコネクション間の公平性がどのように変化するかを明らかにするため、コネクション数を 2 とし、送信側端末–スイッチ間の伝搬遅延時間を変化させる。送信側端末 1–スイッチ間の伝搬遅延時間 τ_1 を 0.1 ms (約 20 km) と固定し、送信側端末 2–スイッチ間の伝播遅延時間 τ_2 を 0.1–2.0 ms と変化させる。また、スイッチ–スイッチ間、およびスイッチ–受信側端末間の伝搬遅延時間はすべて等しく 0.1 ms とする。

全ての送信側端末は常に割り当てられた許容セルレート ACR でセルを転送するものとする。さらに、中間の ATM スイッチには、出力バッファ型のバイナリスイッチとし、バッファサイズ BL は 30K バイト (579 セル) もしくは 300K バイト (5,796 セル) とする。バイナリスイッチが輻輳検知に用いる閾値 QT は、バッファサイズにかかわらず (BL / 2) とする。また、リンク容量 BW は全て 150 Mbps (353.7 セル/ms) とする。シミュレーションで用いた、送信側端末の制御パラメータを表 1 に示す。

本稿では、各コネクションのセル転送レートおよびボトルネックとなる ATM スイッチのバッファ内セル数 (以下、待ち行列長と呼ぶ) の時間的変動に着目した評価を行う。そこで、各コネクション間の公平性の時間的な変化を調べるために、送信側端末の転送レートを一定期間

表 1: 送信側端末の制御パラメータ

PCR (Peak Cell Rate)	BW
MCR (Minimum Cell Rate)	PCR/1000
ICR (Initial Cell Rate)	PCR/10
TCR (minimum rate for data cells)	0.01
RIF (Rate Increase Factor)	1/64 または 1/32
RDF (Rate Decrease Factor)	1/16 または 1/8
Nrm (RM cell opportunity)	32
Mrm (control cell allocation)	2
Trm (minimum interval of RM cells)	100
TBE (Transient Buffer Exposure)	2^{24}
Crm (# of RM cells without control)	32000
CDF (Cutoff Decrease Factor)	1/2
ADTF (ACR Decrease Time Factor)	0.5 ms

ごとにプロットした図を用いる (図 3)[10]。このグラフでは、X 軸が送信側端末 1 のセル転送レート (ACR1)、Y 軸が送信側端末 2 のセル転送レート (ACR2) に対応する。図中で、(ACR1, ACR2) が ACR1 = ACR2 となる直線 (fairness line) 上にあれば、コネクション間の公平性がみたされていることを意味する。また、(ACR1, ACR2) が ACR1 + ACR2 = BW となる直線 (efficiency line) 上にあればリンクの利用率がちょうど 1 であることを意味する。

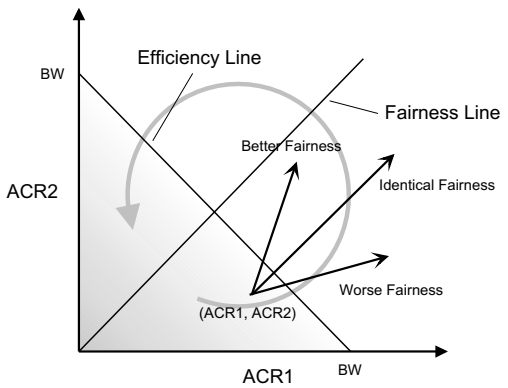
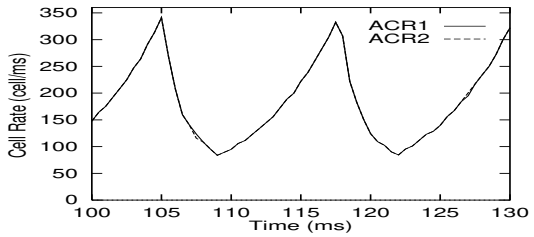


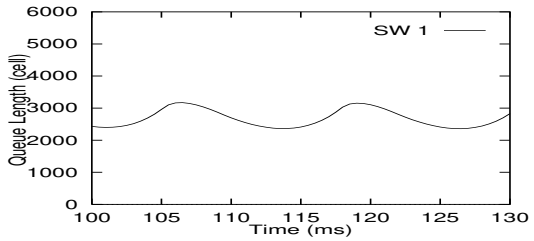
図 3: ACR1–ACR2 グラフ

従って、レート制御方式の理想的な動作とは、各送信側端末のレートを (BW/2, BW/2) で安定させることである。しかし、バイナリスイッチの場合は、フィードバック遅延のためにある程度のレートの振動は避けられないため、この場合は (BW/2, BW/2) を中心に ACR1 = ACR2 となる直線上を移動するのが理想的な動作となる。以下、3 章では、この ACR1–ACR2 のグラフを用いて、バイナリスイッチを用いたレート制御方式の性能がどのような場合に低下するかについて調べてゆく。

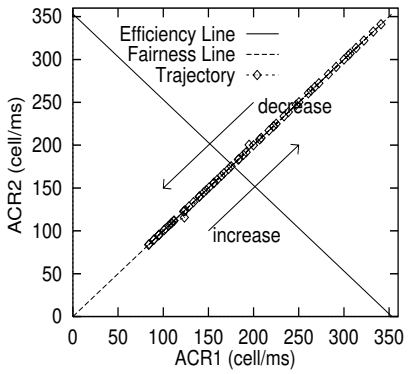
3 レート制御方式の性能低下と不安定性の原因



(a) 送信側端末のセル転送レート



(b) スイッチのバッファ内セル数

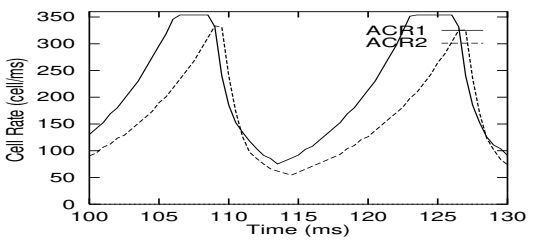


(c) ACR1 と ACR2 の関係

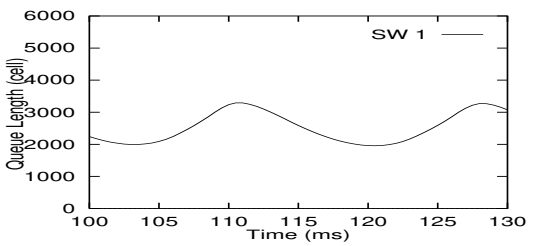
図 4: 制御パラメータが適切な場合 (τ_2 = 0.1 ms)

まず、図 4 に各コネクションの伝播遅延時間が等しい場合 ($\tau_1 = \tau_2$ = 0.1 ms) のシミュレーション結果を示す。ここでは、バッファサイズ BL は 300 K バイトとし、送信側端末の制御パラメータ (RIF および RDF) は [6] の解析結果に基づいて適切な値 (RIF = 1/64 および RDF = 1/16) を選んでいる。これらの 3 つのグラフは、上から順に各送信側端末のセル転送レートの変動 (ACR1 および ACR2)、ボトルネックとなるスイッチ (SW1) の待ち行列長の変動、および (ACR1, ACR2) の軌跡をあらわしている。なお、シミュレーション開始直後の過渡状態を除くため、シミュレーション開始後 100 ms から 130 ms の状態をプロットしている。下段のグラフでは、0.5 ms ごとに (ACR1, ACR2) の点をプロットしており、この場合、(ACR1, ACR2) は反時計周りに軌跡を描いている

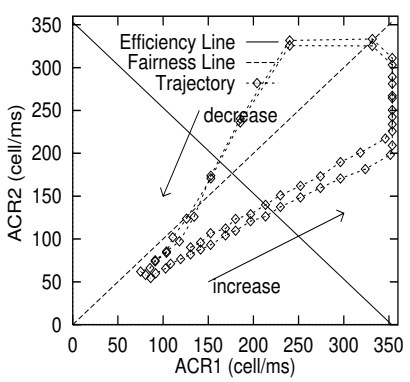
上段のグラフより、各送信側端末のレートは規則的に振動し、非常に安定した動作をしていることがわかる。また、中段のグラフより、待ち行列長は輻輳検知のためのしきい値 (QT = 2,898 セル) 付近で安定しており、リンクの利用率も 1 であることがわかる。また、下段のグラフに着目すると、(ACR1, ACR2) は ACR1 = ACR2 の直線上を移動しており、ほぼ理想的なふるまいであることがわかる。以上のように、各コネクション間の伝播遅延時間が等しく、かつ制御パラメータが適切である場合、レート制御方式はきわめて有効に動作する。



(a) 送信側端末のセル転送レート



(b) スイッチのバッファ内セル数



(c) ACR1 と ACR2 の関係

図 5: 制御パラメータが適切な場合 (τ_2 = 1.0 ms)

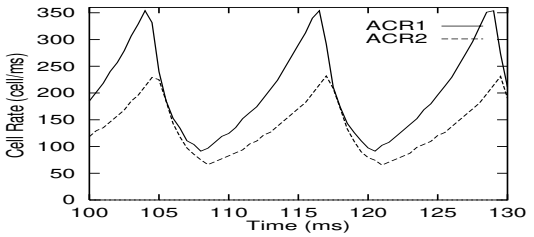
しかし、各コネクションの伝播遅延時間の差が大きくなるにつれ、コネクション間の公平性が徐々に低下してゆく。図 5 は、τ_2 = 1.0 ms である以外は図 4 と同じパラメータである。この場合、上段・下段のグラフより送信側端末のレートに差があることがわかる。特に、下段のグラフより、レートを増加させる時に送信側端末のレー

トの差が広がっている (ACR1 = ACR2 の直線から離れている) ことがわかる。この問題は、レート制御方式がカウンタを用いて RM セルを送出しているために発生する。つまり、スイッチにおいて輻輳が解消した (待ち行列長がしきい値 QT を下回った) 場合、スイッチは RM セルを用いてこのことを送信側端末に通知するが、伝搬遅延時間の小さいコネクションは、伝搬遅延時間の大きなコネクションよりも早くレートを増加させてしまうため、レートに少しだけ高くなる。一方、送信側端末はカウンタを用いて Nrm セルごとに RM セルを送出するため、送信側端末に到着する RM セルのレートは、直前のセル転送レートに依存する。このため、上段のグラフからもわかるように、レートが指数的に増加し、伝搬遅延時間の差によって生じた僅かなレートの差が大きく広がってしまう。

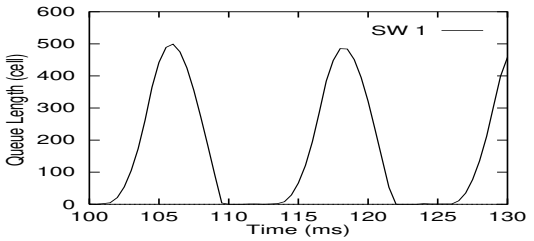
図 5 の下段のグラフでは、(ACR1, ACR2) は ACR1 = ACR2 の直線の上下を移動していた。しかし、図 6 に示すように、バッファサイズが小さく (BL = 30 K バイト) なると、(ACR1, ACR2) が常に ACR1 = ACR2 の直線の下側を移動するようになる。ACR1 が ACR2 よりも常に大きくなり、図 5 に比べてさらに公平性が低下してしまう。なぜバッファサイズを小さくした時に、公平性が悪化するかは以下のように説明することができる。バッファサイズが小さくなり、待ち行列長が 0 になってしまうと、待ち行列長の変動幅が小さくなり、それにともなってレートの増加・減少の周期が短かくなる。このため、周期の長い場合 (図 5)、ACR1 の値は PCR によって抑えられていたが、周期の短い場合 (図 6) では、ACR1 が PCR に到達する前に待ち行列長がしきい値 (QT = 289 セル) を超えてしまい、レートが減少させられる。逆に言えば、図 5 の場合には、ACR1 が PCR によって抑えられていたために公平性がそれほど悪化していなかったと言える。つまり、バッファサイズが小さい場合でも、PCR を適切に設定することによって公平性の改善が可能である。

さらに、送信側端末の制御パラメータを変更し、レートの増加/減少の速度をより速くした場合のシミュレーション結果を図 7 に示す。この図では、BL = 30K バイト、τ_2 = 1.0 ms、RIF = 1/32、RDF = 1/8 と設定している。この場合、下段のグラフにおいて (ACR1, ACR2) の軌跡で囲まれる面積が大きくなっていることから分かるように、図 6 と比べて公平性がさらに悪化している。これは、レート増加が速い (RIF の値が大きい) ために、レートの差が大きく広がってしまうからである。この場合、ACR1 は PCR で抑えられているが、例えばコネクション数が多い場合には、レートが PCR で抑えられず、より公平性が悪化すると予測される。

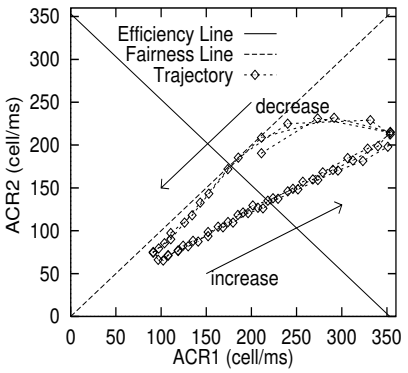
また、伝播遅延時間の差がさらに大きくなると、レート制御方式の動作が不安定になる。図 8 に τ_2 = 2.0 ms とした場合のシミュレーション結果を示す。上段のグラフからわかるように、送信側端末のレートが周期的な動



(a) 送信側端末のセル転送レート



(b) スイッチのバッファ内セル数



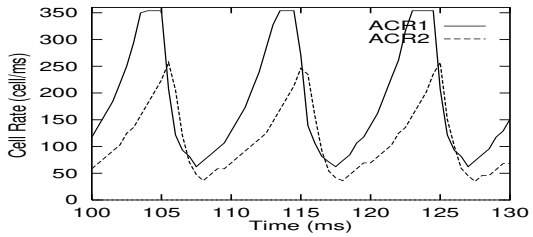
(c) ACR1 と ACR2 の関係

図 6: バッファサイズが小さい場合 (τ_1 = 0.1 ms, τ_2 = 1.0 ms)

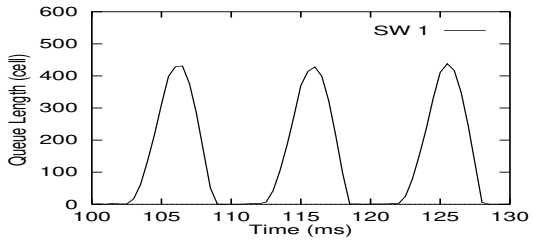
作をとらなくなり、きわめて不安定な動作であることがわかる。また、下段のグラフより、(ACR1, ACR2) が不規則的な軌跡を描いていることがわかる。さらに、図 9 に、(ACR1, ACR2) の軌跡を 10 秒間 (図 8 では 30 ms) 描いた結果を示す。これより、ある領域が (ACR1, ACR2) の軌跡によって埋めつくされており、レート制御方式の動作がきわめて不安定な状態 (カオス的な状態) であることがわかる。

4 安定性を考慮したレート制御方式

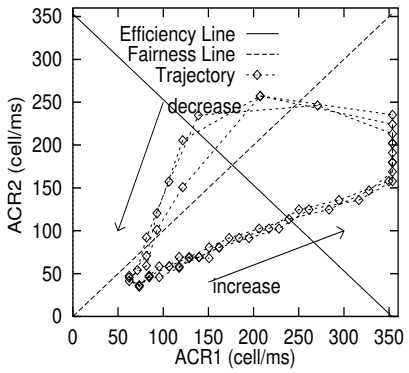
これまでに見てきたように、レート制御方式は各コネクションの伝播遅延時間が大きく異なり、かつ送信側端末の制御パラメータの値が適切でない時、その性能が大きく劣化する。これは、(1) 送信側端末の RM セル送出間隔が転送レートに依存している、(2) 伝搬遅延時間が異



(a) 送信側端末のセル転送レート

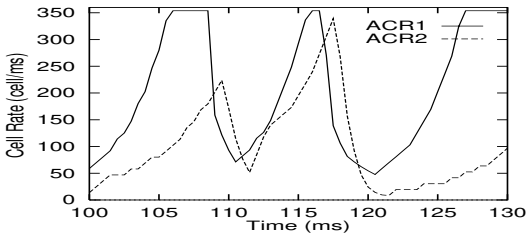


(b) スイッチのバッファ内セル数

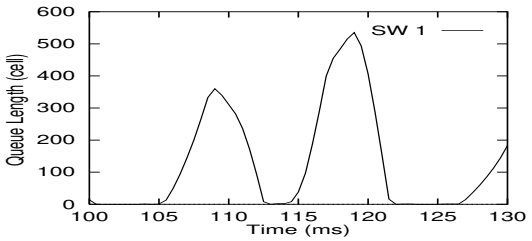


(c) ACR1 と ACR2 の関係

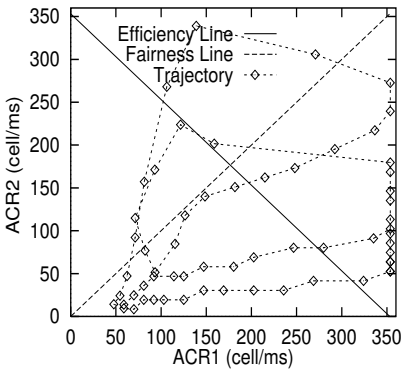
図 7: レートの増加/減少を速くした場合 (τ_1 = 0.1 ms, τ_2 = 1.0 ms)



(a) 送信側端末のセル転送レート



(b) スイッチのバッファ内セル数



(c) ACR1 と ACR2 の関係

図 8: 伝播遅延時間の差が大きい場合 (τ_1 = 0.1 ms, τ_2 = 2.0 ms)

なるとレートの増加/減少のタイミングがずれてしまう、ことが原因である。このような問題を解決するために、(1) については、タイマ等を用いて RM セルの送出間隔を一定にする、(2) については、RM セルにレートを変化させる時刻を書き込み、レートの増加/減少のタイミングを同期させる、といった解決策が考えられる。

当初、ATM フォーラムにおける標準化の段階では、RM セルをタイマを用いて一定間隔ごとに送出する方式 (タイマ方式) が考えられていた。しかし、送信側端末にタイマを設けることによりコストが増加するため、実装がより簡単なカウンタ方式が採用された。そこで本稿では、送信側端末のアルゴリズムを改良し、タイマを設けることなく RM セルの送出間隔をほぼ一定にする方式を提案する。

カウンタ方式の送信側端末の送信側/受信側のアルゴリズムの概要は以下のようになっている [1]。

送信側の処理

```
if now >= time-to-send and
     (転送すべきデータが存在する)
     if (count >= Nrm)
          # FRM セルを送出する
          send RM (DIR=forward, ...)
          # カウンタをリセットする
          count = 0
     else
          # データセルを送出する
          send data (DIR=forward, ...)
          # カウンタを増やす
          count = count + 1
     time-to-send += now + 1/ACR
```

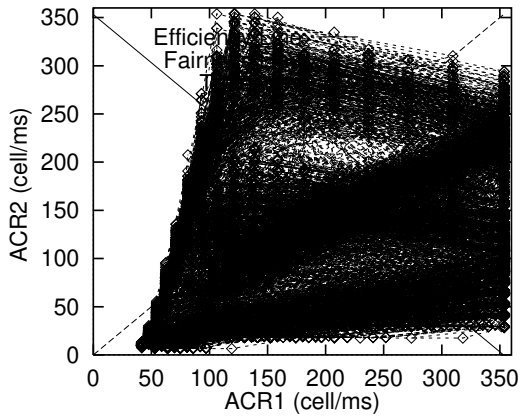


図 9: 伝播遅延時間の差が大きい場合 (τ_1 = 0.1 ms, τ_2 = 2.0 ms)

受信側の処理

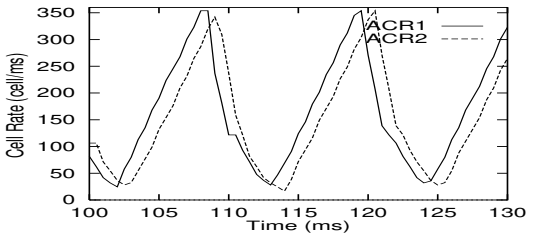
```
# BRM セルを受信したなら
if receive RM (DIR=backawrd, ...)
    # 輻輳が発生している時
    if CI = 1
        ACR = ACR - ACR * RDF
    # 輻輳が発生していない時
    else
        ACR = ACR + RIF * PCR
        ACR = min(ACR, PCR)
        ACR = min(ACR, ER)
        ACR = max(ACR, MCR)
```

RM セルが送出されてから、次の RM セルが送出されるまでの間隔を一定にするためには、受信側の処理で ACR が変更されるたびに、前回の RM 送出からの経過時間を計算して、count と Nrm の値を調整すればよい。RM セルの送出間隔を Ts とすると、受信側の処理を以下のように変更すればよい。

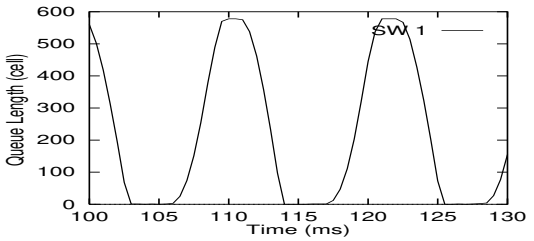
受信側の処理

```
# BRM セルを受信したなら
if receive RM (DIR=backawrd, ...)
    # 前回の RM セル送出からの経過時間
    T = count * (1 / ACR)
    # 輻輳が発生している時
    if CI = 1
        ACR = ACR - ACR * RDF
    # 輻輳が発生していない時
    else
        ACR = ACR + RIF * PCR
        ACR = min(ACR, PCR)
        ACR = min(ACR, ER)
        ACR = max(ACR, MCR)
    # Nrm を再計算する
    Nrm = Ts / (1 / ACR)
    # カウンタを変更してタイミングを調整
    count = Nrm - (Ts - T)/(1 / ACR)
```

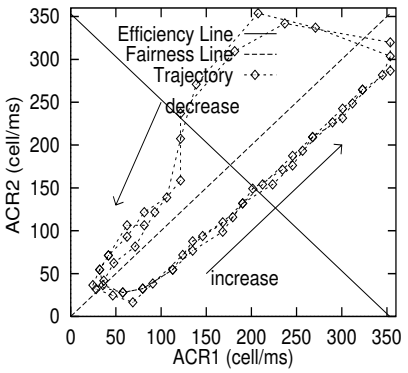
図 10 に提案方式のシミュレーション結果を示す。なお、制御パラメータ、バッファサイズ、伝搬遅延時間は図 8 と同じ値 (τ_1 = 0.1 ms、τ_2 = 2.0 ms、BL = 30 K バイト、RIF = 1/32、RDF = 1/8) を用いている。まず、上段のグラフより、レートの増加がほぼ線型的になっていることがわかる。これは RM セルの送出間隔が ACR にかかわらずほぼ一定になっているためである。また、下段のグラフから、レート増加時の (ACR1, ACR2) の軌跡が



(a) 送信側端末のセル転送レート



(b) スイッチのバッファ内セル数



(c) ACR1 と ACR2 の関係

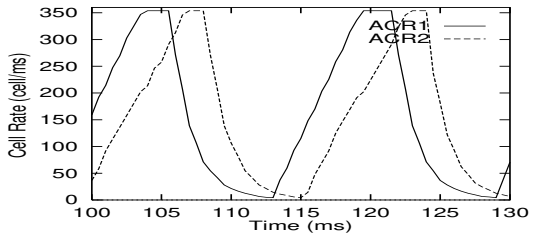
図 10: 提案方式の場合 (τ_1 = 0.1 ms, τ_2 = 2.0 ms)

ACR1 = ACR2 の直線と並行になっている、つまり、レートの増加時にも公平性が保たれていることがわかる。また、図 8 で発生していた、動作が不安定となる問題も解消されている。

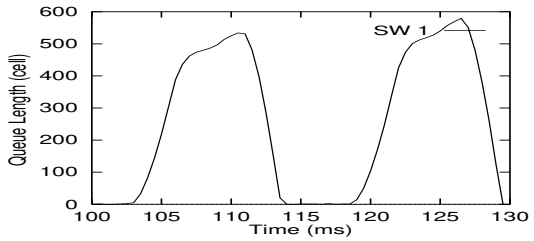
伝搬遅延時間の差をさらに大きくした時のシミュレーション結果を図 11 に示す。ここでは、τ_1 = 0.1 ms、τ_2 = 5.0 ms と設定している。このグラフから、たとえ伝搬遅延時間の差がきわめて大きくなったとしても、提案方式を用いれば公平性がそれほど悪化しないことがわかる。また、送信側端末のレートやスイッチの待ち行列長も非常に安定して動作する。

5 まとめ

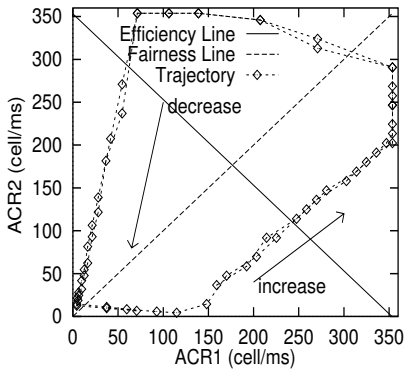
本稿では、特にバイナリスイッチを用いたレート制御方式の性能が低下するというパラメータ領域に着目して検討を行った。まず、どのような場合にバイナリスイッチ



(a) 送信側端末のセル転送レート



(b) スイッチのバッファ内セル数



(c) ACR1 と ACR2 の関係

図 11: 提案方式の場合 ($\tau_1 = 0.1$ ms, $\tau_2 = 5.0$ ms)

を用いたレート制御方式の性能が劣化するかを、シミュレーション手法を用いて評価した。特に、RIF や RDF といった送信側端末の制御パラメータや、スイッチのバッファサイズ、各コネクションの伝播遅延時間が変化するにつれて、レート制御方式の性能がどのように低下するのかを明らかにした。次に、各コネクションの伝播遅延時間の差が大きい時には、送信側端末のレートがいつまでも安定せず、レート制御方式の動作が不安定になることを示した。さらに、このようなバイナリスイッチを用いたレート制御方式の問題点を改善するために、RM セルの送出間隔をほぼ一定にする方式を提案し、その有効性について検証を行った。その結果、RM セルの送出間隔を一定にすることで、コネクション間の公平性や、レート制御方式の安定性が大きく改善されることを示した。

今後の課題としては、コネクション数が 3 本以上の場合にも、提案したレート制御方式が有効に動作することを示す必要があると考えられる。さらに、シミュレーション手法ではなく数学的解析手法を用いて、レート制御方式の動作がどのようなパラメータ条件下で不安定になるかを解析的に示すことも重要であると考えられる。

参考文献

[1] S. S. Sathaye, "ATM forum traffic management specification version 4.0," *ATM Forum Contribution 0056.000*, April 1996.

[2] Thomas M. Chen, Steve S. Liu, and Vijay K. Samalam, "The available bit rate service for data in ATM networks," *IEEE Communications Magazine*, pp. 56–71, May 1996.

[3] R. Jain, S. Kalyanaraman, S. Fahmy, and R. Goyal, "Source behavior for ATM ABR traffic management: an explanation," *IEEE Communications Magazine*, vol. 34, pp. 50–57, November 1996.

[4] K. W. Fendick, "Evolution of controls for the available bit rate service," *IEEE Communications Magazine*, vol. 34, pp. 35–39, November 1996.

[5] C. Fang and A. Lin, "A simulation study of ABR robustness with binary-mode swiches: part II," *ATM Forum Contribution 95-1328R1*, October 1995.

[6] H. Ohsaki, M. Murata, and H. Miyahara, "Robustness of rate-based congestion control algorithm for ABR service class in ATM networks," to appear in *International Journal of Communication Systems*, 1997.

[7] A. Arulambalam and X. Chen, "Allocating fair rates for available bit rate service in ATM networks," *IEEE Communications Magazine*, vol. 34, pp. 92–100, November 1996.

[8] H. Ohsaki, M. Murata, and H. Miyahara, "Designing efficient explicit-rate switch algorithm with max-min fairness for ABR service class in ATM networks," in *Proceedings of IEEE ICC '97*, June 1997.

[9] G. Pecelli and B. G. Kim, "Dynamic behavior of feedback congestion control schemes," in *Proceedings of IEEE INFOCOM '95*, pp. 253–260, April 1995.

[10] D.-M. Chiu and R. Jain, "Analysis of the increase and decrease algorithm for congestion avoidance in computer networks," *Computer Networks and ISDN Systems 17*, pp. 1–14, 1989.