バーストトラヒックに対する ER スイッチアルゴリズムを用いたレート制御方式の性能評価

大崎 博之　村田 正幸　宮原 秀夫

大阪大学大学院 基礎工学研究科 情報数理系専攻
〒 560 大阪府豊中市待兼山町 1-3

(Phone) +81-6-850-6588
(Fax) +81-6-850-6589
(E-mail) oosaki@ics.es.osaka-u.ac.jp

あらまし　レート制御方式は、網からのフィードバック情報によって送信側端末のセル送出レートを動的に変更し、網資源の有効利用を図る。 ATM フォーラムにおいて、送信側および受信側端末の動作については標準化が行われたが、中間の ATM スイッチのアルゴリズムについては実装者にまかされている。これまで、さまざまなスイッチアルゴリズムの提案および性能評価が行われてきた。しかし、送信側端末がバースト的なトラヒックを発生する場合の評価は十分に行われていない。そこで本稿では、バイナリスイッチ、 ERICA 方式、 Max-Min 方式、および我々の提案する Enhanced Max-Min 方式と呼ばれる 4 種類のスイッチアルゴリズムに、バーストトラヒックを収容した場合の性能評価を行う。これにより、我々の提案する Enhanced Max-Min 方式の有効性を明らかにする。

和文キーワード　レート制御方式、バーストトラヒック、バイナリスイッチ、 ERICA 方式、 Max-Min 方式、 Enhanced Max-Min 方式

Performance Evaluation of Rate-Based Congestion Control Algorithm with Explicit Rate Switch Algorithms for Bursty Traffic

Hiroyuki Ohsaki　Masayuki Murata　Hideo Miyahara

Department of Informatics and Mathematical Science
Graduate School of Engineering Science, Osaka University
1-3 Machikaneyama, Toyonaka, Osaka 560, Japan

(Phone) +81-6-850-6588
(Fax) +81-6-850-6589
(E-mail) oosaki@ics.es.osaka-u.ac.jp

Abstract　A rate-based congestion control algorithm regulates cell emission processes of source end systems according to feedback information from the network in order to utilize network resources. Although behavior of source and destination end systems have been standardized by the ATM Forum, operation algorithm of intermediate ATM switches are left to manufacturers. Many types of switch algorithms have been proposed and evaluated by many researchers, but they consider only persistent traffic; that is, bursty traffic has not been considered. In this paper, we evaluate the performance of four switch algorithms — binary switch, ERICA, Max-Min and EMMS — for bursty traffic through simulation experiments.

英文 **key words**　Rate-Based Congestion Control Algorithm, Bursty Traffic, Binary Switch, ERICA Scheme, Max-Min Scheme, Enhanced Max-Min Scheme

1 はじめに

レート制御方式は、データ転送系のサービスクラスである ABR (Available Bit Rate) サービスクラスに適用される閉ループ型の輻輳制御方式である [1, 2, 3]。レート制御方式は、網からのフィードバック情報に基づいて、送信側端末のセル送出レートを動的に変更することによって、網内の輻輳を解消するとともに網資源の有効利用を図る。 ATM フォーラムにおいてレート制御方式の標準化が行われ、送信側端末および受信側端末の動作、および中間の ATM スイッチから送信側端末への輻輳通知方法が詳細に規定された [1, 4]。送信側端末は N_{RM} 個のデータセルを送出するごとに、帯域管理用の RM (Resource Management) セルを送出する。 RM セルを受信した受信側端末は、 RM セルを送信側端末に逆方向に送り返す。中間の ATM スイッチは、順方向に流れるデータセル中の EFCI (Explicit Forward Congestion Indication) ビット、もしくは順方向および逆方向に流れる RM セル中の CI (Congestion Indication) ビットや 16 ビットの ER (Explicit Rate) フィー ルドを用いて、送信側端末に輻輳を通知する。送信側端末は、受信した RM セル に書かれている輻輳情報に従って、許容セルレート ACR (Allowed Cell Rate) を動的に変更する (図 1)。受信した RM セルの CI ビットが 0 の時は、網内に輻輳が発生していないことを意味し、送信側端末は ACR を PCR (Peak Cell Rate) × RIF (Rate Increase Factor) だけ増加させる。一方、 RM セルの CI ビットが 1 の場合には、網内に輻輳が発生していることを意味し、送信側端末は ACR を ACR × RDF (Rate Decrease Factor) だけ減少させる。さらに、 ACR が ER フィールドの値よりも大きい場合には ACR を ER まで減少させる。

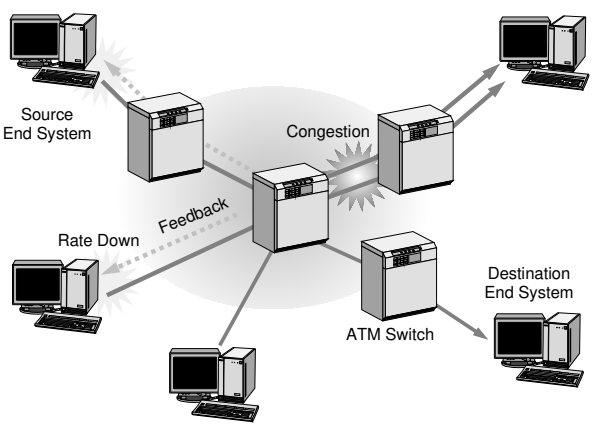

図 1: レート制御方式

ATM スイッチから送信側端末への輻輳通知方法については標準化が行われているが、 ATM スイッチが EFCI ビットや CI ビットをどのようなタイミングで設定するか、また ER フィールドをどのように設定するかといったアルゴリズムについては実装者に任されている。このため、レート制御方式の性能は、中間の ATM スイッチのアルゴリズムに大きく依存している。送信側端末への輻輳通知に EFCI ビットや CI ビットを用いる ATM スイッチは、 1 ビットの情報だけを用いることから「バイナリスイッチ」と呼ばれており、 ER フィールドを用いる ATM スイッチは「ER スイッチ」と呼ばれている。実装が比較的容易なバイナリスイッチは、送信側端末の制御パラメータ (RIF や RDF など) を適切に設定すれば、伝播遅延時間が小さい LAN のような環境下では良好な性能を示す [5, 6]。一方、 ER スイッチは実装が複雑になるが、送信側端末のセル送出レートを明示的に指定することができるため、よりきめの細かい制御が可能であり、伝播遅延時間の大きな WAN のような環境下でも高性能を示す可能性を持つ [7, 8]。これまで、さまざまなスイッチアルゴリズムの提案および性能評価が行われてきた。しかし、そのほとんどは、送信側端末が常に ACR でセルを送出するようなトラヒックモデルを仮定している [9]。これは網が最も高負荷となる状況を想定しているためであるが、実際には多くのアプリケーションがバースト的なトラヒックを発生する [10]。従って、バーストトラヒックの存在を考慮していないスイッチアルゴリズムに、バーストトラヒックを収容した場合は、網の利用率が低下するなどの問題が発生すると考えられる。特に、送信側端末のレートを、 ER フィールドを用いて明示的に指定する ER スイッチの場合にはその影響が顕著になると考えられる。

そこで本稿では、バーストトラヒックがレート制御方式に与える影響を、シミュレーション手法を用いて明かにする。中間の ATM スイッチのアルゴリズムとしては、バイナリスイッチ [11]、 ERICA (Explicit Rate Indication and Congestion Avoidance) 方式 [12]、 Max-Min 方式 [13]、および我々の提案する Enhanced Max-Min 方式 [8, 14] を評価の対象とする。性能指標としては、リンクの利用率 (スイッチのスループット) およびバッファあふれによるセル廃棄に着目する。これにより、既存のスイッチアルゴリズムの問題点を指摘し、これらの問題を解決する方式を提案し、その有効性を明らかにする。

以下、 2章において、本稿で評価の対象とする 4 種類のスイッチアルゴリズムを説明する。次に、 3章において、シミュレーション手法を用いて、こらの 4 種類のスイッチにバーストトラヒックを収容した場合の性能評価を行う。さらに、これらの問題点を解決する方式を提案し、その有効性を明らかにする。最後に、 4章において、本稿のまとめと今後の課題について述べる。

2 4 種類のスイッチアルゴリズム

本章では、 4 種類のスイッチアルゴリズム (バイナリスイッチ、 ERICA 方式、 Max-Min 方式、および Enhanced Max-Min 方式) について説明する。

2.1 バイナリスイッチ

バイナリスイッチは、送信側端末への輻輳の通知にデータセルの EFCI ビットを用いる [11]。また、スイッチが輻輳に陥ったかどうかの判定には、スイッチのバッファに設けられた閾値を用いる。つまり、キュー長 (バッファ内セル数) が閾値よりも大きくなった時、スイッチは輻輳に陥ったと判断し、通過する全てのデータセルの EFCI ビットを 1 に設定する。

バイナリスイッチは実装が簡単である反面、いくつかの欠点を持っている。まず、ホップ数の多いコネクションほど輻輳したスイッチを経由する可能性が高くなるため、ホップ数の少ないコネクションに比べてデータセルの EFCI ビットが設定されやすくなる。このため、ホップ数の多いコネクションは、それ以外のコネクションに比べてレートが低く抑えられてしまい、コネクション間に不公平性が発生する (ビートダウン問題)[15]。さらに、伝搬遅延時間の大きな WAN 環境では、フィードバックの遅延によりレートが安定せず、セル廃棄やリンク利用率の低下により性能が劣化する [16]。他にも、バイナリスイッチの性能は、送信側端末の制御パラメータ (RIF および RDF) の設定に大きく依存するため、これらのパラメータを慎重に決定しなければならない [17]。

2.2 ERICA 方式

ERICA (Explicit Rate Indication and Congestion Avoidance) 方式 [12] は、送信側端末への輻輳通知に RM セル中の ER フィールドを用いる。ERICA 方式では、目標とするリンクの利用率 $z(\leq 1)$ を設定し、リンクの利用率がその値になるように各コネクションにレートを割り当てる。まず、N 個のセルがスイッチに到着するのに要した時間を測定し、スイッチへの入力トラヒック量を計算する。この値と、スイッチに到着した RM セルに書かれている送信側端末のセル転送レート CCR (Current Cell Rate) に基づいて ER を以下のように計算する。

$$\text{Fair Share} = \frac{z \times BW}{N_{VC}} \quad (1)$$

$$\text{VC's Share} = CCR \times \left(\frac{\text{Input Rate}}{z \times BW}\right)^{-1} \quad (2)$$

$$ER = \max(\text{Fair Share, VC's Share}) \quad (3)$$

ここで、BW はリンク容量、N_{VC} はアクティブなコネクション数をあらわす。

ERICA 方式では、転送レートの低い (CCR の小さい) コネクションに、より大きなレートを割り当てるため、バイナリスイッチと比べて公平性が改善されている [18]。ERICA 方式は、伝搬遅延時間の小さな LAN 環境下では、ほぼ理想的な性能を示すが、伝播遅延の大きな WAN 環境下では急激に性能が劣化する [18]。また、目標とするリンク利用率 z を適切に設定しなければキュー長が増大してしまう [19, 8]、キュー長が 1 前後なのでリンクの利用率が低い [20] といった問題が指摘されている。

2.3 Max-Min 方式

Max-Min 方式 [13] では、各コネクション間の公平性を保ちながら、網全体の利用率を最大化するという Max-Min 公平性 [21] をみたす ER スイッチアルゴリズムである。Max-Min 方式では、各コネクションごとに、RM セル中の ER フィールドの値と、そのコネクションが上流のスイッチでレートを制限 (constrain) されているどうかを示すフラグを持つ。n 番目のコネクションの ER フィールドの値を ER_n とすると、Max-Min は以下のように ER を計算する。

$$FS = \frac{ABW - \sum_{\text{Constrained VCs}} ER_n}{\text{\# of Unconstrained VCs}} \quad (4)$$

$$ER = \begin{cases} ER_n, & \text{if Constrained} \\ FS, & \text{Otherwise} \end{cases} \quad (5)$$

ここで、ABW は ABR サービスクラスが使用可能な帯域をあらわす。

Max-Min 方式では、FS の値を求めるために反復計算が必要であり、またコネクションテーブルを持つためにスイッチの実装が複雑になる。また、キュー長を制御していないため、連続してコネクションが加わるような状況下ではセル廃棄が発生する [14]。さらに、複数のスイッチで同時にコネクション数が変化した場合、Max-Min 公平性をみたすことができない。

2.4 EMMS (Enhanced Max-Min Scheme)

我々の提案する Enhanced Max-Min 方式 [14] は、Max-Min 方式の問題点を解決したスイッチアルゴリズムである。Enhanced Max-Min 方式では、現在のキュー長に応じて各コネクションに割り当てるレートを調節し、キュー長が設定した値で安定するように制御を行う。Max-Min 方式によって計算した ER の値を $\overline{ER}$、現在のキュー長を $Q(t)$ とすると、Enhanced Max-Min 方式は以下のように ER の値を計算する。

$$z(x) = \begin{cases} 1 + \Delta_1, & x = 0 \\ 1, & x = Q_T \\ 1 - \Delta_2, & x = \infty \end{cases} \quad (6)$$

$$ER = \overline{ER} \times z(Q(t)) \quad (7)$$

ここで、$\Delta_1(\geq 0)$ および $\Delta_2(\geq 0)$ は帯域調整係数である。

Enhanced Max-Min 方式は、キュー長を設定したキュー長 Q_T 付近で安定させるため、コネクション数の変動やバックグラウンドトラヒックの影響による一時的な入力トラヒック量の変化を、スイッチのバッファで吸収する。このため、セル廃棄を防ぎながらもリンクの利用率を高めることが可能となる。しかし、Enhanced Max-Min 方式はキュー長の変化に応じて ER を再計算する必要があるため、スイッチの実装が複雑になる。

3 シミュレーション

これまでに、さまざなスイッチアルゴリズムが提案されてきたが、そのほとんどは送信側端末が常に ACR でセルを送出するようなトラヒックモデルを前提として設計されている。これは、最も高負荷な環境においてもセル廃棄を防ぐことができるように設計されているためであるが、実際には多くのアプリケーションがバースト的なトラヒックを発生する。このようなバーストトラヒックを考慮していないスイッチに、バーストトラヒックを収容した場合は、リンクの利用率が低下するなどの問題が発生すると考えられる。そこで本章では、 2章で説明した 4 種類のスイッチアルゴリズムに、バーストトラヒックを収容した場合の性能を、シミュレーションを手法を用いて明らかにする。

3.1 シミュレーションモデル

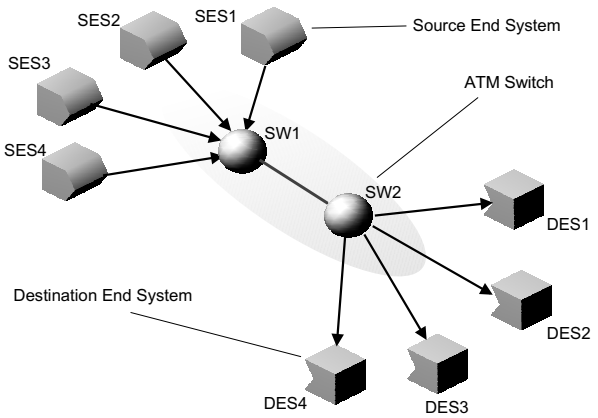

図 2: シミュレーションモデル

図 2に、本章で用いるシミュレーションモデルを示す。なお、シミュレーションではコネクション数を 10 とした。送信側端末 – スイッチ間、およびスイッチ – 受信側端末間の伝搬遅延時間はすべて等しく 0.01 ms とし、スイッチ – スイッチ間の伝搬遅延時間 τ は LAN 環境および WAN 環境を想定して 0.01 ms (約 2 km) または 1.00 ms (約 200 km) とした。また、リンク容量は全て 353.7 cell/ms (150 Mbit/s) とし、スイッチのバッファサイズは 5,796 セル (300 Kbyte) とした。さらに、トラヒックモデルとして、バースト長が平均 1000 セルの幾何分布、バースト間隔が平均 10 ms の指数分布に従うオン – オフソースを用いた。シミュレーションで用いた送信側端末の制御パラメータを表 1に示す。

3.2 バイナリスイッチ

まず、バイナリスイッチの LAN 環境 ($\tau = 0.01$ ms) におけるシミュレーション結果を、図 3に示す。上側のグラフは横軸を時間とした各送信側端末の ACR の変動を、下側のグラフは横軸を時間とした各スイッチのキュー長の変動を示している。送信側端末の制御パラメータ RIF および RDF を、それぞれ 1/64 および 1/16 とし、輻輳検出に用いるバッファの閾値をバッファサイズの 1/2 (2,898 セル) とした。なお、送信側端末が常に ACR でセルを送出する場合は、これらの制御パラメータを用いれば、セル廃棄が発生せず、スイッチ間のリンクの利用率は 1 となる [22]。

PCR (Peak Cell Rate)	BW
MCR (Minimum Cell Rate)	PCR/1000
ICR (Initial Cell Rate)	PCR/10
TCR (minimum rate for data cells)	0.01
RIF (Rate Increase Factor)	1 または 1/64
RDF (Rate Decrease Factor)	1/16
N_{RM} (RM cell opportunity)	32
Mrm (control cell allocation)	2
Trm (minimum interval of RM cells)	100
TBE (Transient Buffer Exposure)	2^{24}
Crm (# of RM cells without control)	32000
CDF (Cutoff Decrease Factor)	1/2
$ADTF$ (ACR Decrease Time Factor)	0.5 ms

表 1: 送信側端末の制御パラメータ

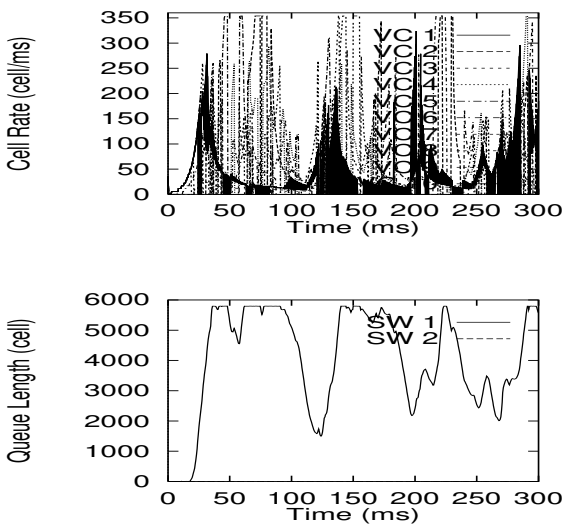

図 3: バイナリスイッチ ($\tau = 0.01$ms)

図より、バーストトラヒックを収容したことによって、伝搬遅延時間が小さいにもかかわず、バッファあふれによるセル廃棄が発生していることがわかる。これは、複数のコネクションがほぼ同時にバーストを発生した場合、大量のセルが一度にスイッチに到着するが、バイナリスイッチでは送信側端末のレートを急激に下げることができないため、これらのセルをバッファで吸収できなくなるからである。送信側端末には、ある一定期間 (ADTF) セルを送信しなかった場合に、自動的に ACR を ICR にまで落とすことが規定されている [1]。しかし、ADTF は最小値が 0.1 s と大きいため、図 3では、新たなバーストは ICR よりも大きいレート (以前のバースト転送

時の ACR) で送られている。

3.3 ERICA 方式

図 4 に ERICA 方式 ($\tau = 0.01$ ms) の場合のシミュレーション結果を示す。なお、シミュレーションでは目標とするリンクの利用率 z を 0.95 とした。図より、転送開始直後は大量のセルがバッファに溜っている (0–50 ms) が、それ以降 (50–250 ms) はキュー長が比較的安定していることがわかる。なお、スイッチ間のリンクの利用率は 0.9464 であった。このように、 ERICA はバーストトラヒックの影響をあまり受けていないが、これは ER の計算にスイッチの入力トラヒック量を用いており、バーストを転送しているコネクション数が変化した場合にも、スイッチの負荷をうまく制御できているからである。

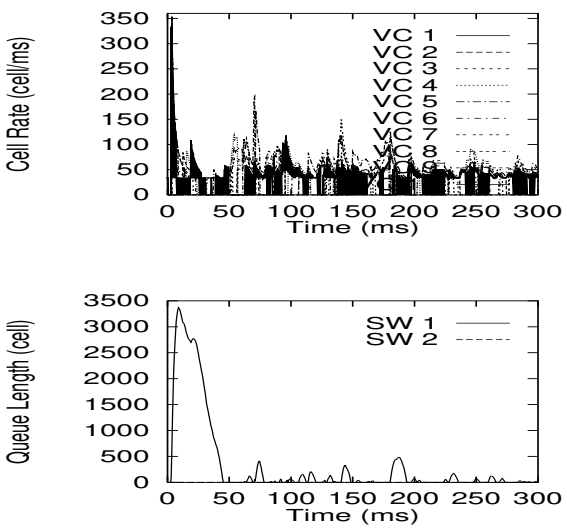

図 4: ERICA 方式 ($\tau = 0.01$ ms)

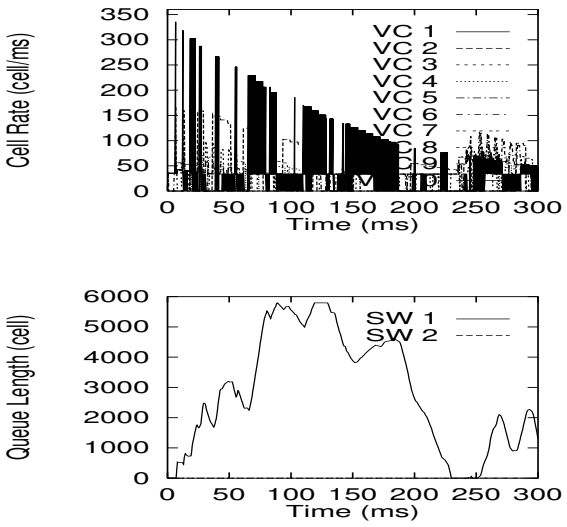

図 5: ERICA 方式 ($\tau = 1.00$ ms)

しかし、 ERICA 方式は伝搬遅延時間が大きくなると急激に性能が劣化する (図 5)。 ERICA 方式では、式 (3) を用いているために、きわめてレートの大きなコネクションのレートがなかなか下がらない。さらに、キュー長を制御していないことからキュー長の増大を抑えられずセル廃棄が発生している。

3.4 Max-Min 方式

Max-Min 方式では、入力トラヒック量にかかわらず、コネクションテーブルに基づいてレートを割り当てるために、バーストトラヒックを収容した場合はスループットが低下してしまう (図 6($\tau = 0.01$ ms) および図 7($\tau = 1.00$ ms))。 Max-Min 方式における、スイッチ間のリンクの利用率は伝搬遅延時間の大きさにかかわらずほぼ 0.74 であった。図より、 Max-Min 方式では、キュー長が常に 1 前後であり、バッファを有効に活用できていないことがわかる。

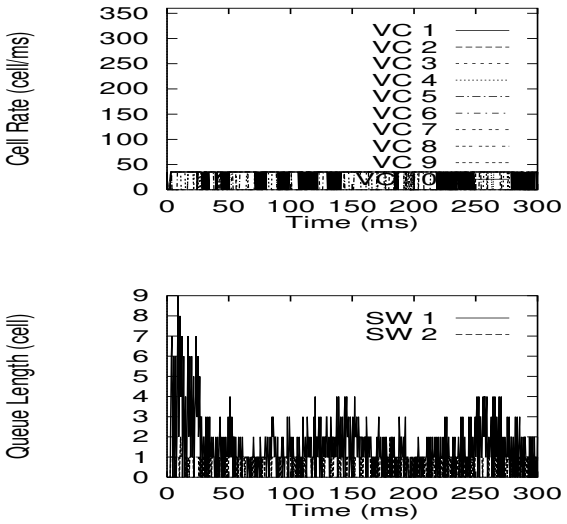

図 6: Max-Min 方式 ($\tau = 0.01$ ms)

3.5 Enhanced Max-Min 方式

Enhanced Max-Min 方式のシミュレーション結果を、図 8($\tau = 0.01$ ms) および図 8($\tau = 1.00$ ms) に示す。帯域調整係数 Δ_1 および Δ_2 は、 0.2 および 0.5 とした。また、目標とするキュー長 Q_T は 331 セル ($\tau = 0.01$) および 1,381 セル ($\tau = 1.00$ ms) とした。送信側端末が常に ACR でセルを送出する場合には、これらの制御パラメータを使えば、スイッチ間のリンクの利用率が 1 となる [14]。さらに、帯域調整係数 Δ_1 を 0.2 から 0.5 に変更することで、キュー長が短い時により多くのレートを割り当てるようにした場合のシミュレーション結果を、図 10($\tau = 0.01$ ms) に示す。なお、 Δ_1 が 0.2 の場合のリンクの利用率は 0.8313 ($\tau = 0.01$ ms) および 0.7807 ($\tau = 1.00$ ms)、また Δ_1 が 0.5 の場合は 0.8313 であった。

図 8では、キュー長が目標とするキュー長 Q_T まで増加

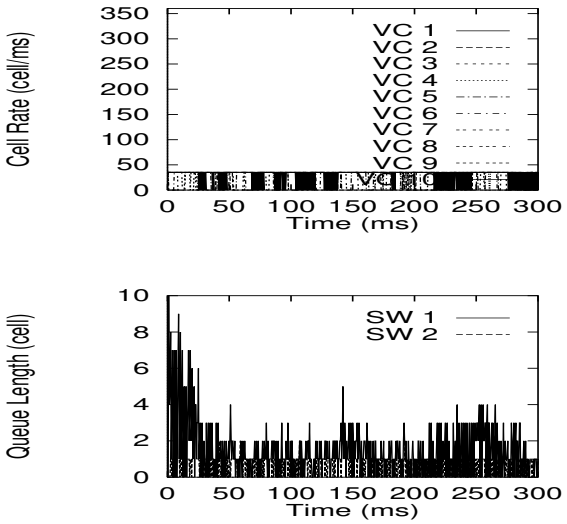

図 7: Max-Min 方式 ($\tau = 1.00$ ms)

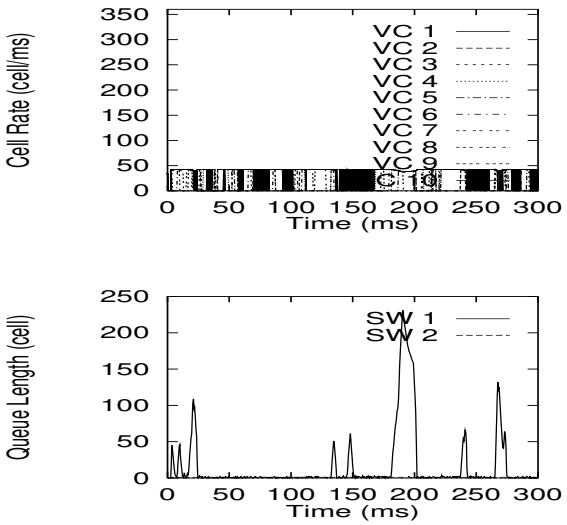

図 8: Enhanced Max-Min 方式 ($\Delta_1 = 0.2$, $\tau = 0.01$ ms)

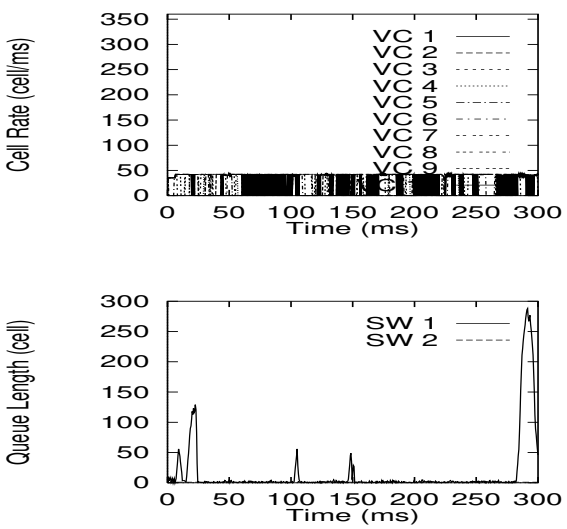

図 9: Enhanced Max-Min 方式 ($\Delta_1 = 0.2$, $\tau = 1.00$ ms)

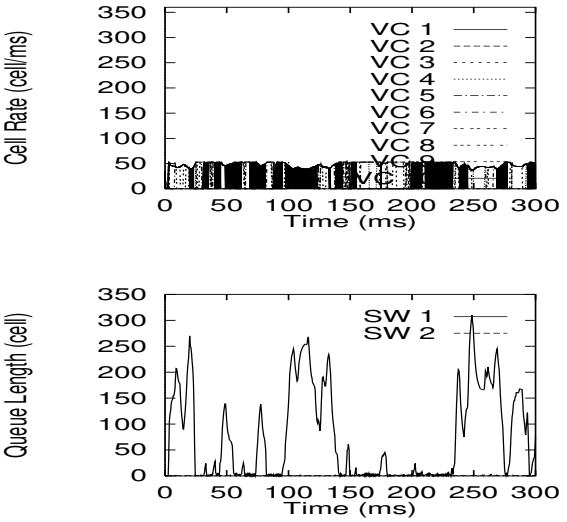

図 10: Enhanced Max-Min 方式 ($\Delta_1 = 0.5$, $\tau = 1.00$ ms)

せず、キュー長の制御が適切に動作していないことがわかる。しかし、図 10のように、帯域調整係数 Δ_1 を増加させることによって、スループットをある程度は向上させることは可能であり、最大キュー長は ERICA 方式の場合 (図 4) と比べると約 1/10 となっている。しかし、同時に複数のコネクションがバーストの転送を終了した場合 (150 ms 付近) には、キュー長が急激に減少しリンクの利用率が低下している。

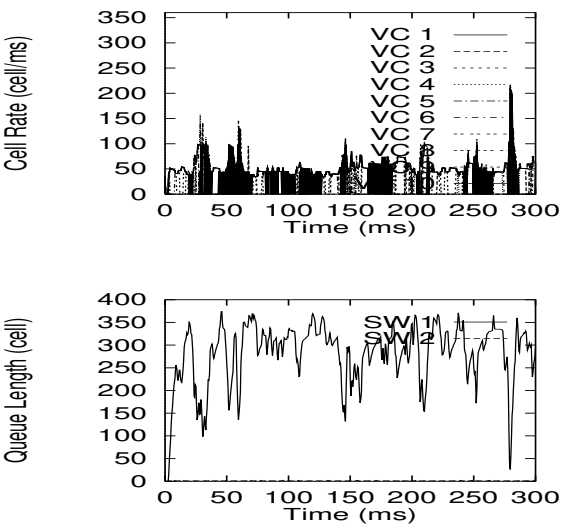

図 11: Enhanced Max-Min 方式 (再計算あり) ($\Delta_1 = 0.2$, $\tau = 0.01$ ms)

Enhanced Max-Min 方式 (および Max-Min 方式) では、Max-Min 公平性をみたすようにコネクションテーブルを用いて ER を計算している。リンクの利用率を高めるために、ある一定期間セルが到着していないコネクションは「接続されていない」として ER を再計算すれば、リンクの利用率が向上すると考えられる。 Enhanced Max-Min

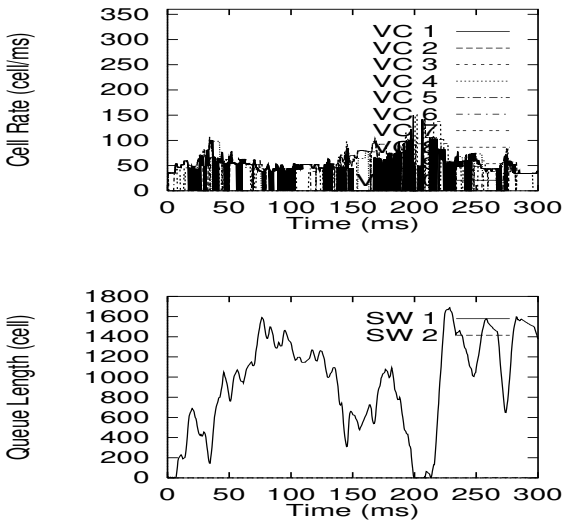

図 12: Enhanced Max-Min 方式 (再計算あり) ($\Delta_1 = 0.2$, $\tau = 1.00$ ms)

方式において、 1 ms の間にセルが到着しないコネクションを除いて ER を再計算した場合のシミュレーション結果を、図 11($\tau = 0.01$ ms) および図 12($\tau = 1.00$ ms) に示す。図 11では、キュー長の制御が適切に動作しキュー長は Q_T (= 331 セル) の前後を変動している。この結果、キュー長は常に 1 セル以上であり、リンクの利用率はほぼ 1 となっている。また、図 11では、 200 ms 付近でリンクの利用率が低下しているが、 ER を再計算しない場合と比較して、リンクの利用率が 0.7807 から 0.9830 と大幅に向上している。

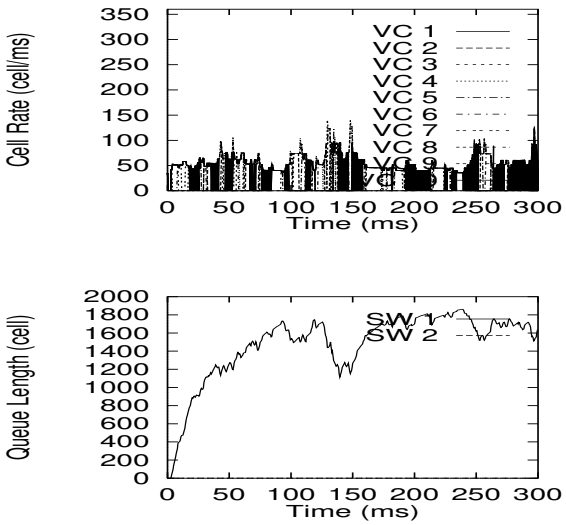

図 13: Enhanced Max-Min 方式 ($\Delta_1 = 0.2$, $\tau = 0.01$ ms, $Q_T = 1,932$ セル)

図 8– 12では、送信側端末が常に ACR でセルを送出する場合に、リンクの利用率が 1 となるような Q_T の値を用いた。バーストトラヒックの場合には、 Q_T の値をさ

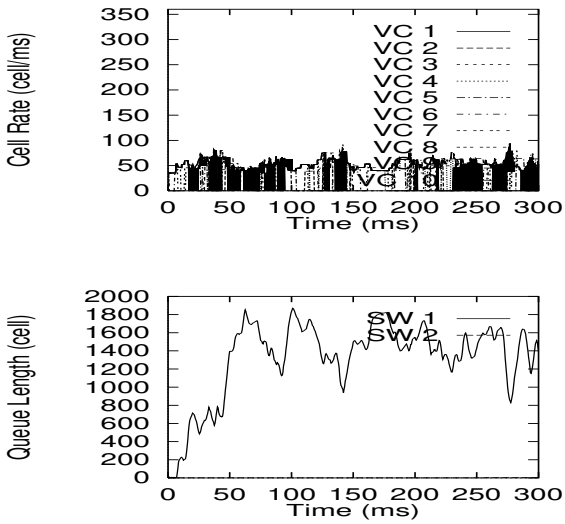

図 14: Enhanced Max-Min 方式 ($\Delta_1 = 0.2$, $\tau = 1.00$ ms, $Q_T = 1,932$ セル)

らに大きな値に設定することで、バッファをより有効に活用できると考えられる。そこで、 Q_T をバッファサイズの 1/3 (1,932 セル) とした場合のシミュレーション結果を、図 13($\tau = 0.01$ ms) および図 14($\tau = 1.00$ ms) に示す。図からわかるように、 Q_T を大きな値に設定することでバッファを有効に利用することができ、伝搬遅延時間にかかわらずスループットがほぼ 1 となっていることがわかる。

	$\tau = 0.01$	$\tau = 1.00$
バイナリスイッチ	*0.9608*	*0.9935*
ERICA 方式	0.9464	*0.9754*
Max-Min 方式	0.7430	0.7476
Enhanced Max-Min 方式	0.8313	0.7807
(再計算あり)	0.9906	0.9830
($Q_T = 1,932$ セル)	0.9906	0.9935

表 2: スイッチ間のリンクの利用率

最後に、 $\tau = 0.01$ ms および $\tau = 1.00$ ms の場合の、各スイッチアルゴリズムにおける、リンクの利用率 (スイッチのスループット) を、表 2に示す。なお、斜体となっているのはセル廃棄が発生していることを示している。これより、伝搬遅延時間の小さな LAN 環境では、 ERICA 方式および ER の再計算を行う Enhanced Max-Min 方式は、バーストトラヒックに対しても高いリンク利用率を示すことがわかる。また、伝搬遅延時間の大きな WAN 環境では、 ERICA 方式ではセル廃棄が発生してしまうが、Enhanced Max-Min 方式では目標とするキュー長を適切に設定することによって、高いリンク利用率を示すことがわかる。

4 まとめ

本稿では、バーストトラヒックがレート制御方式に与える影響をシミュレーション手法を用いて明らかにした。スイッチアルゴリズムとしては、バイナリスイッチ、ERICA 方式、 Max-Min 方式、および Enhanced Max-Min 方式を評価の対象とした。性能指標としては、ボトルネックリンクの利用率およびバッファあふれによるセル廃棄に着目した。評価の結果、伝搬遅延時間の小さな LAN 環境では、 ERICA 方式および ER の再計算を行う Enhanced Max-Min 方式は、バーストトラヒックに対しても高いリンク利用率を示すことがわかった。また、伝搬遅延時間の大きな WAN 環境では、 ERICA 方式ではセル廃棄が発生してしまうが、 Enhanced Max-Min 方式では目標とするキュー長を適切に設定することによって、高いリンク利用率を示すことがわかった。

今後の課題として、バーストトラヒックに応じた適切な制御パラメータの検討や、入力トラヒックに応じてスイッチの制御パラメータを適応的に変化させるアルゴリズムの提案などが挙げられる。

参考文献

[1] The ATM Forum Technical Committee, "Traffic management specification version 4.0 (draft version)," *ATM Forum Contribution 95-0013R10*, February 1996.

[2] Thomas M. Chen, Steve S. Liu, and Vijay K. Samalam, "The available bit rate service for data in ATM networks," *IEEE Communications Magazine*, pp. 56–71, May 1996.

[3] K. W. Fendick, "Evolution of controls for the available bit rate service," *IEEE Communications Magazine*, vol. 34, pp. 35–39, November 1996.

[4] R. Jain, S. Kalyanaraman, S. Fahmy, and R. Goyal, "Source behavior for ATM ABR traffic management: an explanation," *IEEE Communications Magazine*, vol. 34, pp. 50–57, November 1996.

[5] C. Fang and A. Lin, "A simulation study of ABR robustness with binary-mode swiches: part II," *ATM Forum Contribution 95-1328R1*, October 1995.

[6] H. Ohsaki, M. Murata, and H. Miyahara, "Robustness of rate-based congestion control algorithm with binary-mode switch in ATM networks," *IEEE GLOBECOM '96*, vol. 2, pp. 1097–1101, November 1996.

[7] A. Arulambalam and X. Chen, "Allocating fair rates for available bit rate service in ATM networks," *IEEE Communications Magazine*, vol. 34, pp. 92–100, November 1996.

[8] H. Ohsaki, M. Murata, and H. Miyahara, "Designing efficient explicit-rate switch algorithm with max-min fairness for ABR service class in ATM networks," to be presented at *IEEE ICC '97*, June 1997.

[9] A. W. Barnhart, "Baseline model for rate control simulations," *ATM Forum Contribution 94-0399*, May 1994.

[10] D. Hughes, "Fairness share in the context of MCR," *ATM Forum Contribution 94-0977*, October 1994.

[11] L. Roberts, "Enhanced PRCA (proportional rate-control algorithm)," *ATM Forum Contribution 94-0735R1*, August 1994.

[12] R. Jain, S. Kalyanaraman, R. Viswanathan, and R. Goyal, "A sample switch algorithm," *ATM Forum Contribution 95-0178*, February 1995.

[13] D. H. K. Tsang, W. K. F. Wong, S. M. Jiang, and E. Y. S. Liu, "A fast switch algorithm for ABR traffic to achieve max-min fairness," in *1996 International Zurich Seminar on Digital Communications* (B. Plattner, ed.), pp. 161–172, Springer, February 1996.

[14] 大崎 博之, 村田 正幸, 宮原 秀夫, "Max-Min 公平性をみたす効率的な ER スイッチアルゴ リズムの提案," 電子情報通信学会 技術研究報告, vol. IN96-95, pp. 51–58, November 1996.

[15] J. C. R. Bennett and G. T. D. Jardins, "Comments on the July PRCA rate control baseline," *ATM Forum Contribution 94-0682*, July 1994.

[16] H. Ohsaki, M. Murata, H. Suzuki, C. Ikeda, and H. Miyahara, "Rate-based congestion control for ATM networks," *ACM SIGCOMM Computer Communication Review*, vol. 25, pp. 60–72, April 1995.

[17] H. Ohsaki, G. Hasegawa, M. Murata, and H. Miyahara, "Parameter tuning of rate-based congestion control algorithms and its application to TCP over ABR," *First Workshop on ATM Traffic Management IFIP WG 6.2*, pp. 383–390, December 1995.

[18] 大崎 博之, 村田 正幸, 鈴木 洋, 池田 千夏, 宮原 秀夫, "マルチメディア ATM 網におけるレート制御方式の性能評価," 電子情報通信学会 技術研究報告, vol. SSE95-13, pp. 19–24, May 1995.

[19] B. G. Kim and I. Chong, "Updating interval issue at switch in ERICA," *ATM Forum Contribution 95-1374*, October 1995.

[20] R. Jain, S. Kalyanaraman, R. Goyal, S. Fahmy, and F. Lu, "ERICA+: extensions to the ERICA switch algorithm," *ATM Forum Contribution 95-1346R1*, 1995.

[21] D. Bertsekas and R. Gallager, *Data Networks*. Englewood Cliffs, New Jersey: Prentice-Hall, 1987.

[22] H. Ohsaki, M. Murata, H. Suzuki, C. Ikeda, and H. Miyahara, "Parameter tuning of rate-based congestion control algorithms for ATM networks," submitted to *IEEE/ACM Transactions on Networking*, November 1996.